

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-212799

(43)Date of publication of application : 18.09.1991

(51)Int.Cl. G08C 19/02

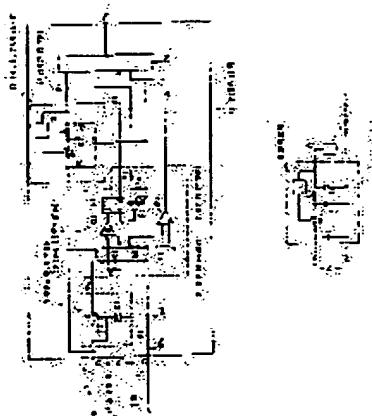
(21)Application number : 02-009154 (71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 18.01.1990 (72)Inventor : AKIYAMA CHUJI
TANAKA TOSHIYUKI

(54) TWO-WIRE TYPE GAUGE

(57)Abstract:

PURPOSE: To easily detect abnormality by driving a built-in self-diagnostic circuit by the 2nd voltage to be raised faster than a processor in the two-wire type gauge for converting a physical value to be measured into an electric signal, processing the electric signal by a microprocessor and transmitting the processed signal to a load as a current signal through two transmission lines.



CONSTITUTION: The level of a terminal voltage generated between both the ends of two transmission lines I1, I2 is converted by a switching regulator 13 built in the two-wire type gauge 16 to form the 1st voltage and the terminal voltage is stabilized by a regulated power supply circuit 17 to form the 2nd voltage. The self-diagnostic circuit 18 including a reset signal generating circuit 20 and an abnormality detecting circuit 21 is driven by the 2nd voltage to execute the ON, stop and reduction of the terminal voltage, the monitor of the 1st voltage and the output of an initializing signal and an alarm signal. Thus, counterplan for abnormal operation can easily be executed by detecting the abnormality of an environment condition by the microprocessor 14 connected to the regulator 13.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

1012
(19)日本国特許庁 (J P)

(12) 特許公報 (B 2)

(11)特許番号

第2753592号

(45)発行日 平成10年(1998)5月20日

(24)登録日 平成10年(1998)3月6日

(51)Int.Cl.⁶

G 0 8 C 19/02

識別記号

F I

G 0 8 C 19/02

A

請求項の数1(全7頁)

(21)出願番号 特願平2-9154

(22)出願日 平成2年(1990)1月18日

(65)公開番号 特開平3-212799

(43)公開日 平成3年(1991)9月18日

審査請求日 平成8年(1996)2月23日

(73)特許権者 99999999

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72)発明者

秋山 忠次

東京都武蔵野市中町2丁目9番32号 横

河電機株式会社内

(72)発明者

田中 俊行

東京都武蔵野市中町2丁目9番32号 横

河電機株式会社内

(74)代理人

弁理士 東野 博文

審査官 山川 雅也

(54)【発明の名称】 2線式計器

1

(57)【特許請求の範囲】

【請求項1】負荷側から2線の伝送線を介して電源の供給を受けて測定すべき物理量を電気信号に変換しこれをマイクロプロセッサにより信号処理をして前記伝送線を介して前記負荷に電流信号として伝送する2線式計器において、前記伝送線の両端に発生する端子電圧のレベルを変換して第1電圧を作るスイッチングレギュレータと、前記端子電圧を安定化して第2電圧を作る安定化電源回路と、この第2電圧によって動作し前記端子電圧の投入・停止・低下と前記第1電圧の監視を実行して初期化信号と警報信号とを出力する自己診断回路と、前記第1電圧によって動作し前記初期化信号と前記警報信号により制御される前記マイクロプロセッサを含む信号処理手段とを具備することを特徴とする2線式計器。

【発明の詳細な説明】

2

<産業上の利用分野>

本発明は、負荷側から2線の伝送線を介して電源の供給を受けて測定すべき物理量を電気信号に変換しこれをマイクロプロセッサにより信号処理をして伝送線を介して負荷に電流信号として伝送する2線式計器に係り、特にこの2線式計器の環境条件の異常を検出するように改良された2線式計器に関する。

<従来の技術>

第8図は従来のいわゆる2線式計器の構成の概略を示す構成図である。

マイクロプロセッサを含む2線式計器10は、負荷11側から直流電源12により2線の伝送線11、12を介して入力端子T₁、T₂を通じて電流の供給を受けてこの電流から回路電源を作ると共に測定すべき物理量を検出してこれを電流信号の変化として、同一の伝送線11、12を通じて例

えば4～20mAの統一された統一電流 I_L の形で負荷11に伝達する。

このうち最小の電流は4mAであるが、通常この電流はゼロ点の調整・確認のため3.2mA～3.6mA程度での動作が要求され、2線式計器10での消費電流に対する制限が大きい。特に、最近は多機能化の要求を満たすためこの2線式計器10にマイクロコンピュータが導入されその電力に対する要求が厳しくなっている。

その電源回路の具体的な構成の1例を第9図に示す。

入力端子 T_1 、 T_2 には端子電圧 V_T として通常10V程度が供給され、マイクロプロセッサ14の電源電圧 V_c は5Vなので、この電圧差を利用して供給電流を増加させるためにスイッチングレギュレータ13が用いられている。

スイッチングレギュレータ13はその入力端子 T_1 、 T_2 の両端にコンデンサ C_1 が接続され、スイッチ SW_1 とコイル L_1 との直列回路を介してマイクロプロセッサ14の電源回路に接続され、コイル L_1 の両端にはダイオード D_1 とコンデンサ C_2 の一端がそれぞれ接続され、これ等の他端は入力端子 T_2 に接続されている。

この電源電圧 V_c は制御回路15で検出され内蔵された所定の基準値と比較されて比較信号が例えばアンドゲートに印加され、このアンドゲートの他端に印加されている内蔵された発振器からの周波数の高い発振周波数を比較信号でオン／オフ制御してこのアンドゲートの出力端に得られるスイッチング信号によりスイッチ SW_1 をオン／オフ制御する。

スイッチ SW_1 が閉じられるとコイル L_1 に電流が注入され、次にスイッチ SW_1 が開かれると、この間はコイル L_1 に蓄積されたエネルギーがダイオード D_1 を介して放出され電源電圧 V_c が作られる。

この場合の電源電圧 V_c は制御回路15に内蔵されている基準電圧を変更してスイッチ SW_1 の開閉時間を変えて任意に変えることができる。

＜本発明が解決しようとする課題＞

しかしながら、電子電圧 V_T と統一電流 I_L については、例えば $12V \leq V_T \leq 45V$ 、 $4mA \leq I_L \leq 20mA$ などの動作範囲の仕様であるが、これを外れた場合でも異常な動作をしないことが要求される。特に、 $V_T < 12V$ 、 $I_L < 4mA$ のように信号処理回路としてのマイクロプロセッサ14に十分な電力を供給できない場合にも異常動作を防止する必要がある。

演算増幅器などのアナログ回路のみで信号処理回路を構成しているときにはこの様な異常時の出力をダウンさせるのは比較的容易であったが、マイクロプロセッサが信号処理回路として使用されるときに初期化(リセット)と警報が確実に実行されないと異常動作を起こす機会が多くなり、安定性を欠くという問題がある。

＜課題を解決するための手段＞

本発明は、以上の課題を解決するために、負荷側から2線の伝送線を介して電源の供給を受けて測定すべき物

理量を電気信号に変換しこれをマイクロプロセッサにより信号処理をして伝送線を介して負荷に電流信号として伝送する2線式計器において、伝送線の両端に発生する端子電圧のレベルを変換して第1電圧を作るスイッチングレギュレータと、端子電圧を安定化して第2電圧を作る安定化電源回路と、この第2電圧によって動作し端子電圧の投入・停止・低下と第1電圧の監視を実行して初期化信号と警報信号とを出力する自己診断回路と、第1電圧によって動作し初期化信号と警報信号により制御されるマイクロプロセッサを含む信号処理手段とを具備するようにしたものである。

＜作用＞

スイッチングレギュレータにより伝送線の両端に発生する端子電圧のレベルを変換して第1電圧を作ると共に安定化電源回路により端子電圧を安定化して第2電圧を作る。

自己診断回路はこの第2電圧によって動作し端子電圧の投入・停止・低下と第1電圧の監視を実行して初期化信号と警報信号とを出力する。

そして、マイクロプロセッサはこの第1電圧によって動作され初期化信号と警報信号により制御されるようにして環境条件の異常を検出する。

＜実施例＞

以下、本発明の実施例について図を用いて説明する。第1図は本発明の1実施例の構成を示すブロック図である。なお、第8図と第9図に示す回路と同一の機能を有する要素には同一の符号を付して適宜にその説明を省略する。

16は2線式計器であり、この2線式計器16はスイッチングレギュレータ13、安定化電源回路17、自己診断回路18、およびマイクロプロセッサを含む信号処理回路19などにより構成されている。そして、信号電圧 V_s は入力端子 T_1 と T_2 にそれぞれ接続された伝送線 l_1 、 l_2 に直列に接続された抵抗 R_1 の両端で検出されて信号処理回路19に出力され、ここで信号処理がなされて出力端子 T_0 に出力される。

スイッチングレギュレータ13は端子電圧 V_T が入力され、これをレベル変換して信号処理回路19に第1電圧として回路電圧 V_c を出力するが、端子電圧 V_T の入力に対して回路電圧 V_c の立上りが遅くしかも負荷電流も大きいので、回路電圧 V_c が安定になるのは安定化電源回路17より一般に後になる。

安定化電源回路17は端子電圧 V_T が入力され、その出力端に第2電圧として定電圧 V_K を出力する。この安定化電源回路17は、トランジスタQ1、抵抗R2、ツエナダイオードD2などで構成されている。そして、端子電圧 V_T が抵抗R2とツエナダイオードD2との直列回路に印加されてツエナダイオードD2の両端に発生したツエナ電圧を基準として動作し対応する定電圧 V_K を出力端に出力するが、この安定化電源回路17は端子電圧 V_T が回路が動作出来る電

圧まで上がると直ちに動作して定電圧 V_K を自己診断回路18に出力することができる。

なお、第1図では安定化電源回路17としてトランジスタを用いる構成として説明したが、このトランジスタQ1は必ずしも必要ではなく、抵抗R2とジエナダイオードD2の直列回路としてこのジエナダイオードD2の両端の電圧を定電圧 V_K とする構成としても良い。

自己診断回路18は、抵抗R3、R4、R5、R6、コンデンサC3、ヒステリシスを持つインバータQ2、R/SフリップフロップFF1、比較器Q3、基準電圧源E1などで構成されるリセット信号発生回路20と、抵抗R7、R8、基準電圧源E2、比較器Q4などで構成される異常検知回路21などで構成されている。

まず、リセット信号発生回路20について説明する。

定電圧 V_K を抵抗R3とR4で分圧した分圧電圧がインバータQ2の入力端に印加される。インバータQ2の出力端はR/SフリップフロップFF1のセット端子Sに接続されている。このリセット端子Rは、スイッチングレギュレータ13の出力である回路電圧 V_c を抵抗R5とR6で分圧された分圧電圧が非反転入力端(+)に印加され反転入力端

(-)には基準電圧E1が印加された比較器Q3の出力端が接続されている。そして、R/SフリップフロップFF1の出力端Qからリセット信号RSが信号処理回路19に出力されている。

以上の構成で、電源が投入されるとインバータQ2を介してR/SフリップフロップFF1がセットされる。

一方、回路電圧 V_c は端子電圧 V_T が立ち上がっても暫くの間は正規の電圧とはならず、このためR/SフリップフロップFF1のリセット端子Rはローレベルに保持されその出力端Qからマイクロプロセッサを含む信号処理回路19にリセット信号(初期化信号)RSを与え続けている。

しかし、回路電圧 V_c がある値、例えば信号処理回路19が動作する最低電圧に対応する基準電圧E1を越えると比較器Q3の出力がハイレベルに反転しR/SフリップフロップFF1のリセット端子Rをハイレベルにしてその出力端Qに出ていたリセット信号RSを解除する。この回路電圧 V_c の最低の値としては例えば4.75Vなどが選択される。以上のようにしてマイクロプロセッサは確実に初期化される。

次に、異常検知回路21について説明する。通常、スイッチングレギュレータ13などにはコンデンサが含まれているので外部電源が低下しても直ぐに回路が死ぬことはない。

そこで、この異常検知回路21が外部電源としての直流電源12の電圧の異常低下を早期に検知して警報信号ALを信号処理回路19に出力する。この異常低下を検知する値としては、例えば仕様最低電圧などが選定され、これは基準電圧E2で設定される。

信号処理回路19はこの警報信号ALを検知すると重要なパラメータの退避、或いは動作の固定などを行い異常動

作を防止する。

第2図はリセット信号発生回路の第2の実施例を示す回路図である。

これは、回路電圧 V_c が、例えば4.75V以下なら電源投入直後と想定される場合に、回路電圧 V_c の検知が電源投入を兼ねるように構成したものである。

比較器Q4の出力をインバータQ5を介してリセット信号RSを取り出す。なお、比較器Q4にはヒステリシスを持たせるために抵抗R9で正帰還がかけられている。

10 第3図はリセット信号発生回路の第2の実施例を示す回路図である。

この実施例はマイクロプロセッサなどは回路電圧 V_c が4.75V以上になっても一定時間以上はリセットをかけ続ける必要がある。この様な場合に遅延回路によりリセット時間を長くするように構成したものである。

オア回路Q6の入力の一端にはリセット信号RSが、その他端には遅延回路DLで所定時間 τ だけ遅延された遅延信号 ΔRS がそれぞれ入力され、オア回路Q6でこれ等の論理和が演算されてこの出力端に得られたりセット信号RS' 20 により信号処理回路19をリセットする。

この場合のタイミング図を第4図に示す。(イ)に示すリセット信号RSに対して(ロ)に示す遅延時間 τ だけ遅延された遅延信号 ΔRS により(ハ)に示すようにリセット信号RS' のパルス幅が拡大されている。

第5図は第3図に示す遅延回路DLの第2の実施例を示す回路図である。

この場合は、インバータQ7、抵抗R10、コンデンサC4、ヒステリシスを持つインバータQ8により遅延回路を構成している。

30 第6図はリセット信号発生回路の第3の実施例を示す回路図である。

この場合は、R/SフリップフロップFF2、2ⁿ⁺¹カウンタCTを用いて構成した場合を示している。

リセット信号RSはR/SフリップフロップFF2のセット端子Sに入力されると共にカウンタCTのリセット端子Rに入力される。一方、カウンタCTのクロック端子CLにはクロック信号CLKが入力され、その計数結果は出力端Q_nからR/SフリップフロップFF2のリセット端子Rに出力され、その出力端Q_nから遅延されたリセット信号RS' が出力される。

40 リセット信号RSがローレベルになってからクロック信号CLKを2ⁿ数えて立ち上がり、その出力をR/SフリップフロップFF2のリセット端子Rに印加する。これによりその出力端Q_nから出される反転されたリセット信号RS' により信号処理回路19のリセットが解除される。

第7図は異常検知回路の他の実施例を示す回路図である。

この実施例は仕様より遙かに低い電圧を下回ったときに警報信号としてダウン信号DWをも出力できるように構成したものである。

7

端子電圧 V_T を抵抗 R_8 、 R_{11} 、 R_{12} で分圧し、抵抗 R_8 と R_1 との接続点の電圧を電圧 E_2 が印加された比較器 Q_9 の反転入力端 (−) に印加して、その出力端から信号処理回路 19 にダウン信号 DWN を出力する。

また、異常信号の検知としては第 1 図に示すスイッチングレギュレータ 13 のスイッチ SW_1 をオンにするデューティが規定以上になったときには負荷電流が入力電流に比べて多くなっているので、これを検出して警報信号としても良い。

＜発明の効果＞

以上、実施例と共に具体的に説明したように本発明によれば、自己診断回路はマイクロプロセッサより早く立ち上がる第 2 電圧で動作するので、電源投入のときに確実に初期化することができ、また外部電源の低下・停電を検出しているのでマイクロプロセッサ側で異常動作を防止する対策が容易に行なうことができる。さらに、第 2 電圧は簡単な安定化電源で構成するので電力利用率が低いが、これを利用するには自己診断回路だけであり、信号処理回路はスイッチングレギュレータの第 1 電圧を使

8

うので全体として電力の有効利用が可能となり、2 線式計器で重要な回路の低電力化を図ることができる。

【図面の簡単な説明】

第 1 図は本発明の 1 実施例の構成を示すブロック図、第 2 図はリセット信号発生回路の第 2 の実施例を示す回路図、第 3 図はリセット信号発生回路の第 2 の実施例を示す回路図、第 4 図は第 3 図に示す回路の動作を説明するタイミング図、第 5 図は第 3 図に示す遅延回路の第 2 の実施例を示す回路図、第 6 図はリセット信号発生回路の第 3 の実施例を示す回路図、第 7 図は異常検知回路の他の実施例を示す回路図、第 8 図は従来の 2 線式計器の構成の概要を示す構成図、第 9 図は第 8 図に示す電源回路の具体的な構成の 1 例を示すブロック図である。

10 10. 16……2 線式計器、11……負荷、12……直流電源、13……スイッチングレギュレータ、14……マイクロプロセッサ、17……安定化電源回路、18……自己診断回路、19……信号処理回路、20……リセット信号発生回路、21……異常検知回路。

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

10

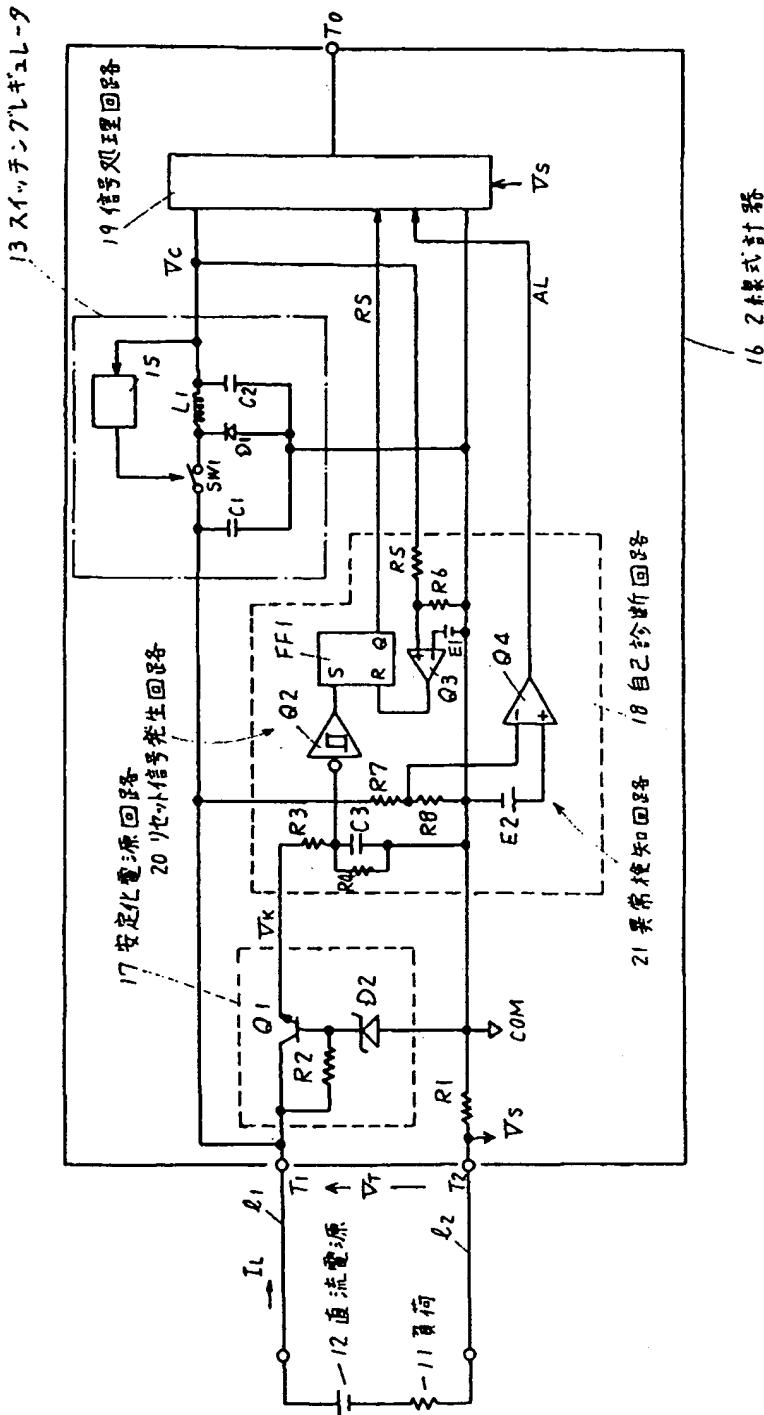
10

10

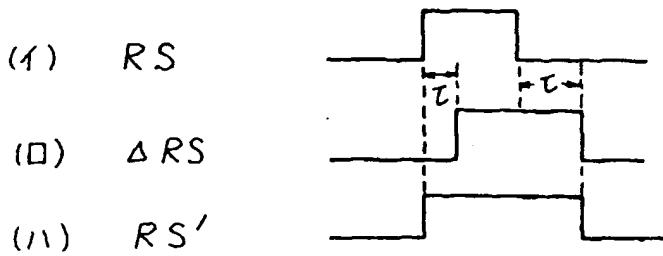
10

10

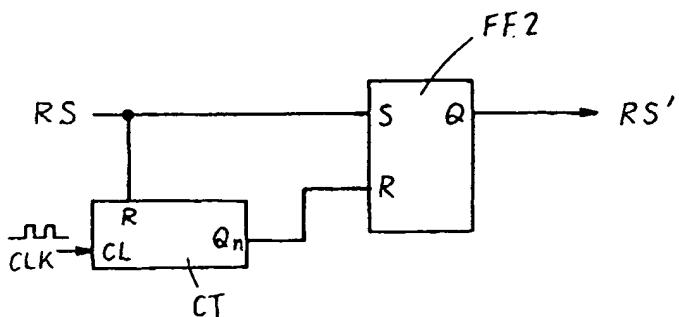
【第1図】



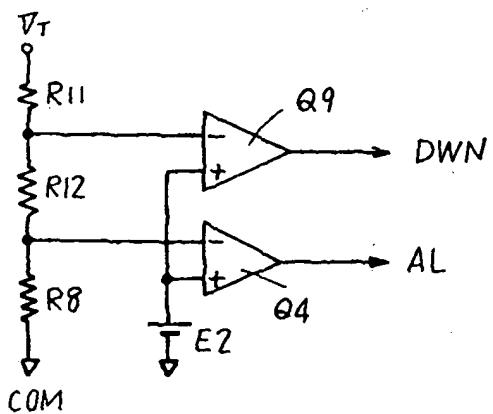
[第4図]



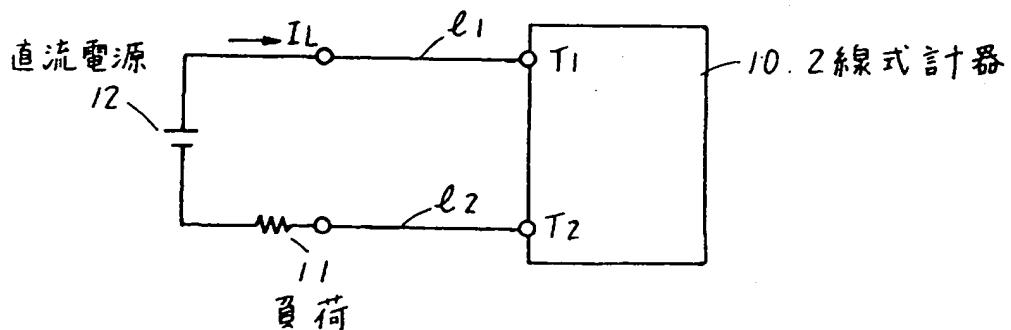
[第6図]



[第7図]



[第8図]



【第9図】

